

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-053248

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G06F 12/02

G06F 12/00

G11C 16/02

(21)Application number : 09-208976

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 04.08.1997

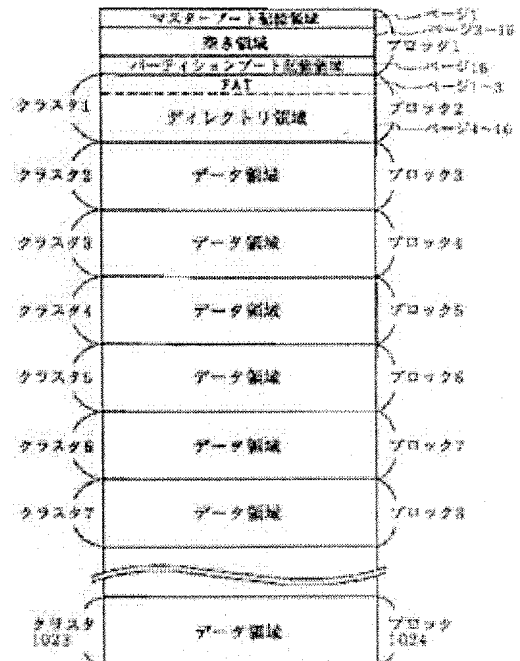
(72)Inventor : CHIBA TOSHIHIKO

## (54) DATA PROCESSING SYSTEM, BLOCK ERASURE TYPE STORAGE MEDIUM AND PROGRAM RECORDING MEDIUM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a batch erasure type storage device which fast performs the processing of data deletion and writing and effectively utilizes a storage capacity.

**SOLUTION:** Flash memory (block erasure type storage medium) consists of plural blocks and can eliminate data in a block unit. Data writing and reading can be performed in a unit such as a page which is smaller than it. A block 1 of the flash memory is used as a boot area. The boot area stores information about a cluster that is a unit to store data. The flash memory is formatted so that blocks 2 to 1024 are corresponded to clusters 1 to 1023 respectively with the information. The clusters 1 to 1023 are respectively used as a data area, and a FAT(file allocation table) and a directory are stored in a part of it.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-53248

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 12/02

5 1 0

G 0 6 F 12/02

5 1 0 A

12/00

5 4 0

12/00

5 4 0

G 1 1 C 16/02

G 1 1 C 17/00

6 1 2 F

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21) 出願番号

特願平9-208976

(22) 出願日

平成9年(1997) 8月4日

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 千葉 敏彦

岩手県江刺市岩谷堂字松長根52番地 東京

エレクトロン株式会社東北事業所内

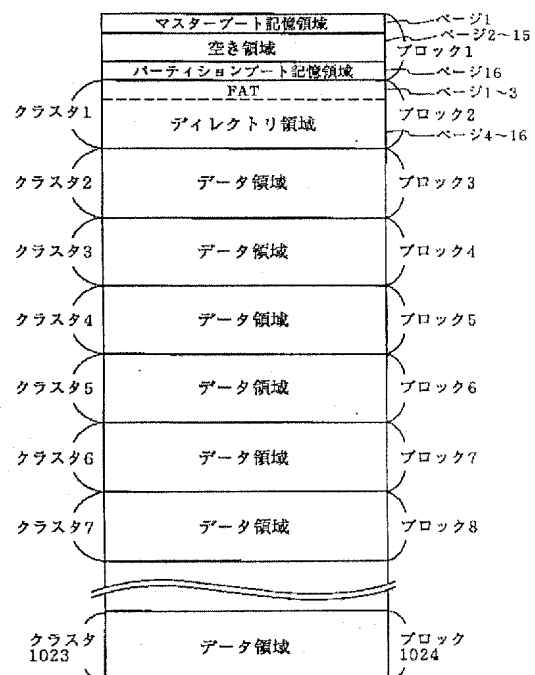
(74) 代理人 弁理士 木村 満 (外3名)

(54) 【発明の名称】 データ処理システム、ブロック消去型記憶媒体、及びプログラム記録媒体

(57) 【要約】

【課題】 データの消去及び書き込みの処理を高速に行うことができ、記憶容量を有効に利用することができる一括消去型記憶装置を提供する。

【解決手段】 フラッシュメモリ（ブロック消去型記憶媒体）は、複数のブロックから構成され、ブロック単位でデータを削除することができる。データの書き込み及び読み出しは、それよりも小さいページなどの単位で行うことができる。フラッシュメモリのブロック1は、ブート領域として用いられる。このブート領域には、データを記憶するための単位であるクラスタに関する情報が記憶されている。この情報によって、ブロック2～ブロック1024がそれぞれクラスタ1～クラスタ1023に対応するように、フラッシュメモリがフォーマットされる。クラスタ1～クラスタ1023は、それぞれデータ領域として用いられ、その一部にFAT及びディレトリが記憶される。



## 【特許請求の範囲】

【請求項 1】複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去型記憶媒体と、前記ブロック消去型記憶媒体をアクセスするデータ処理手段とより構成され、

前記データ処理手段は、

前記ブロック消去型記憶媒体に接続され、前記ブロック消去型記憶媒体の記憶領域の論理的単位であるクラスタと整数個の前記ブロックとを実質的に一致させるフォーマット情報を前記ブロック消去型記憶媒体に書き込むことにより、前記ブロック消去型記憶媒体をフォーマットするフォーマット手段と、

前記フォーマット情報に基づいて、クラスタのサイズと位置を判別し、判別したクラスタのサイズと位置に従って、前記ブロック消去型記憶媒体のデータの消去、データの書き込み、データの読み出しを制御する手段と、を

備える、

ことを特徴とするデータ処理システム。

【請求項 2】複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去型記憶媒体であって、

前記ブロック消去型記憶媒体は、整数個の前記ブロックとデータの記憶領域の単位であるクラスタとを実質的に一致させるフォーマット情報を記憶したフォーマット情報記憶領域を備える、

ことを特徴とするブロック消去型記憶媒体。

【請求項 3】前記クラスタのそれぞれは、対応する前記ブロックと実質的に一致するサイズと位置を有する、

ことを特徴とする請求項 2 に記載のブロック消去型記憶媒体。

【請求項 4】前記フォーマット情報は、前記クラスタのサイズを前記ブロックのサイズに一致させるための情報と、前記各クラスタの開始位置と終了位置を各前記ブロックの開始位置と終了位置に一致させるための位置調整用の領域と、から構成されている、

ことを特徴とする請求項 2 又は 3 に記載のブロック消去型記憶媒体。

【請求項 5】前記ブロック消去型記憶媒体は、さらに、ファイル名と先頭記憶位置を示すディレクトリ情報と、ファイルの配置を示すファイルアロケーションテーブルを 1 つのクラスタ内に記憶する、

ことを特徴とする請求項 2、3 又は 4 に記載のブロック消去型記憶媒体。

【請求項 6】前記フォーマット情報を記憶した前記ブロックを含む特定ブロック以外のブロックの記憶データは、物理的に消去されている、

ことを特徴とする請求項 2、3 又は 4 に記載のブロック消去型記憶媒体。

【請求項 7】複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去

型記憶媒体に接続可能に構成された接続部と、

整数個の前記ブロックとクラスタとを実質的に一致させるフォーマット情報を前記接続部を介して前記ブロック消去型記憶媒体に書き込むことにより、前記ブロック消去型記憶媒体をフォーマットするフォーマット手段と、を備えることを特徴とするデータ処理システム。

【請求項 8】前記フォーマット手段は、各前記クラスタと各前記ブロックとのサイズと位置とを実質的に一致させるフォーマット情報を前記ブロック消去型記憶媒体に書き込む、

ことを特徴とする請求項 7 に記載のデータ処理システム。

【請求項 9】前記フォーマット手段は、前記クラスタのサイズを前記ブロックのサイズに一致させるための情報と、前記各クラスタの開始位置と終了位置を各前記ブロックの開始位置と終了位置に一致させるための位置調整用の情報とを前記ブロック消去型記憶媒体に書き込む、ことを特徴とする請求項 7 に記載のデータ処理システム。

【請求項 10】前記データ処理システムは、ファイル名と先頭記憶位置を示すディレクトリ情報と、ファイルの配置を示すファイルアロケーションテーブルを 1 つのクラスタ内に記録する手段をさらに備える、ことを特徴とする請求項 7 に記載のデータ処理システム。

【請求項 11】前記フォーマット手段は、前記フォーマット情報を書き込むブロック以外のブロックの記憶データを物理的に消去する手段を含む、

ことを特徴とする請求項 7 に記載のデータ処理システム。

【請求項 12】前記データ処理システムは、前記接続部を介して前記ブロック消去型記憶媒体に書き込まれているファイルを削除するファイル削除手段を備え、

前記ファイル削除手段は、該当するデータを含む前記ブロックのデータを物理的に消去する手段を含む、ことを特徴とする請求項 7 に記載のデータ処理システム。

【請求項 13】前記データ処理システムは、前記接続手段を介して前記フォーマット情報を読み取るフォーマット情報読取手段と、

前記フォーマット情報読取手段により読み取られたフォーマット情報に基づいて、ファイルの最小単位であるクラスタのサイズと位置を判別するクラスタ判別手段と、前記クラスタ判別手段が判別したクラスタのサイズと位置に従って、前記ブロック消去型記憶媒体のデータの消去、データの書き込み、データの読み出しを制御する手段を備える、

ことを特徴とする請求項 7 乃至 12 のいずれか 1 項に記載のデータ処理システム。

【請求項 14】複数のブロックから構成され、記憶デー

タをブロック単位で一括して消去可能なブロック消去型記憶媒体をフォーマットするプログラムを記憶したコンピュータ読み取り可能なプログラム記録媒体であって、コンピュータに、前記ブロック消去型記憶媒体の記憶データを物理的に消去するステップと、記憶データが消去された前記ブロック消去型記憶媒体に、データの記憶領域の単位であるクラスタのサイズと位置を整数個の前記ブロックのサイズと位置に一致させる情報を書き込むステップと、

を実行させるプログラムを記憶したプログラム記録媒体。  
【請求項15】前記プログラム記録媒体は、ブロック消去型記憶媒体の記憶データの消去が指示された際に、前記消去が指示されたデータが記憶されている前記ブロックの記憶内容を物理的に消去するステップとを実現するプログラムをさらに記憶する、ことを特徴とする請求項14に記載のプログラム記録媒体。

【請求項16】さらに、ファイル名と先頭記憶位置を示すディレクトリ情報と、ファイルの配置を示すファイルアロケーションテーブルを1つのクラスタ内に記録するためのプログラムを記憶する、ことを特徴とする請求項14又は15に記載のプログラム記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ブロック消去型記憶媒体を用いたデータ処理システム、ブロック消去型記憶媒体、及びブロック消去型記憶媒体のフォーマット、データの消去及びデータの書き込みを行うためのプログラムを記憶したコンピュータ読み取り可能なプログラム記録媒体に関する。

【0002】

【従来の技術】近年、可搬性の不揮発性の記憶媒体として、フロッピーディスクに代わってフラッシュメモリが、特に携帯情報端末用の記憶媒体として用いられるようになっている。ここで、フラッシュメモリとは、複数のブロックで構成され、内部に記憶されたデータをブロック単位でのみ電氣的に消去可能な不揮発性のブロック消去型記憶媒体のことをいう。

【0003】フラッシュメモリをMS-DOS（マイクロソフト社商標）などのディスクオペレーティングシステムの制御の下で使用する場合、フロッピーディスクと同様に扱うために、従来よりフロッピーディスクに施されていたフォーマットに従ってフォーマットされている。このフォーマットでは、図21に示すように、記憶領域は、ブート領域、FAT（ファイルアロケーションテーブル）領域、ディレクトリ領域及びデータ領域に分けられている。データ領域は、ブート領域に記憶された

定義に従ってクラスタに論理的に分割され、フラッシュメモリ内に記憶されるファイルは、クラスタを単位として記憶されている。

【0004】しかし、従来のフラッシュメモリのフォーマットでは、図21に示すように、クラスタとブロックの位置とが一致していなかった。

【0005】従って、あるクラスタに記憶されたデータ（ファイル）を更新しようとする場合に、更新する必要のないデータ（ファイル）までブロック単位と一緒に消去されてしまうため、更新する必要のないデータについては、他のクラスタに退避する必要があった。フラッシュメモリにデータ（ファイル）を書き込む場合にも同様の問題が生じていた。さらに、データの消去或いは書き込みを行った場合には、FATやディレクトリも書き換えなければならず、これに応じて消去する必要のないデータを別のブロックに退避する必要があった。

【0006】例えば、図21の2つの領域SbとScからなるクラスタに記録されたファイルを更新する場合には、図22のフローチャートに示す処理が必要になる。まず、領域Sbに格納されている更新対象データの前半部と、領域Sbと同一のブロックに属する領域Saにあるデータとを書き込むための空きブロックを検索する（ステップS1）。

【0007】空きブロックが索出されると、領域Saに記憶されているデータを読み出して（ステップS2）、ステップS1で索出されたブロックに書き込む（ステップS3）。そして更に、領域Sbに記憶されているデータを更新したものにあたるデータを書き込む（ステップS4）。これにより、更新対象のデータの前半部が更新される。前半部の更新が終わると、更新前の前半部のデータを記録しているブロック4の記憶内容を消去する（ステップS5）。

【0008】次に、領域Scに格納されている更新対象データの後半部と、領域Scと同一のブロックに属する領域Sdにあるデータとを書き込むための空きブロックを検索する（ステップS6）。

【0009】空きブロックが索出されると、その空きブロックに、領域Scに記憶されているデータを更新したものにあたるデータを書き込む（ステップS7）。これにより、更新対象のデータの後半部が更新される。そして更に、領域Sdに記憶されているデータを読み出して、ステップS6で索出されたブロックに書き込む（ステップS8）。

【0010】後半部の更新が終わると、更新前の後半部のデータを記録しているブロック5の記憶内容を消去する（ステップS9）。続いて、更新されたファイルに関するFAT上の情報を更新し（ステップS10）、処理を終了する。

【0011】

【発明が解決しようとする課題】上述したように、従来

のブロック消去型記録媒体において、1つのファイルを更新するためには、複数のブロックを更新する必要がある。このため、データの書き込みの処理が2分割されることにより時間がかかり、これが、記憶装置全体の動作を低速化している原因になっていた。

【0012】また、フラッシュメモリにデータ（ファイル）を書き込む場合にも同様の問題が生じていた。さらに、データの消去或いは書き込みを行った場合には、FATやディレクトリも書き換えなければならず、これに応じて消去する必要のないデータを別のブロックに退避する必要があった。

【0013】このような問題は、記憶装置の小型化及び小電力化等のために、専用のコントローラを使用せず、CPU等のデータ処理装置がこのブロック消去型記憶媒体を直接アクセスして制御する場合に顕著となる。

【0014】この発明は上記実状に鑑みてなされたもので、ブロック消去型記憶装置において、データアクセス、特に、データの消去を伴う処理を高速化することを目的とする。また、この発明は、特に、データの書き込みの処理を高速に行うことができ、記憶容量を有効に利用することができるフォーマット構造を有するブロック消去型記憶媒体、これらの記憶媒体を使用するデータ処理システム及び及びこのブロック消去型記憶媒体のフォーマッティング、データの消去或いはデータの書き込みのためのプログラムを記憶したプログラム記録媒体を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかるデータ処理システムは、複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去型記憶媒体と、前記ブロック消去型記憶媒体にアクセスするデータ処理手段とより構成され、前記データ処理手段は、前記ブロック消去型記憶媒体に接続され、前記ブロック消去型記憶媒体の記憶領域の論理的単位であるクラスタと整数個の前記ブロックとを実質的に一致させるフォーマット情報を前記ブロック消去型記憶媒体に書き込むことにより、前記ブロック消去型記憶媒体をフォーマットするフォーマット手段と、前記フォーマット情報に基づいて、クラスタのサイズと位置を判別し、判別したクラスタのサイズと位置に従って、前記ブロック消去型記憶媒体のデータの消去、データの書き込み、データの読み出しを制御する手段と、を備える、ことを特徴とする。

【0016】このデータ処理システムでは、クラスタが整数個の前記ブロックで構成される。このため、データの消去或いは書き込みの処理をすべてブロック単位で行うことができる。これにより、データの書き込みや消去のために他のデータを退避する必要がなく、データの消去或いは書き込みの処理を高速に行うことができる。

【0017】また、本発明の第2の観点にかかるブロッ

ク消去型記憶媒体は、複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去型記憶媒体であって、前記ブロック消去型記憶媒体は、整数個の前記ブロックとデータの記憶領域の単位であるクラスタとを実質的に一致させるフォーマット情報を記憶したフォーマット情報記憶領域を備える、ことを特徴とする。

【0018】このブロック消去型記憶媒体では、クラスタが整数個の前記ブロックで構成される。このため、データの消去或いは書き込みの処理をすべてブロック単位で行うことができる。これにより、データの書き込みのために他のデータを退避する必要がなく、データの消去或いは書き込みの処理を高速に行うことができる。

【0019】前記クラスタは、通常、前記ブロックの1つから構成される。前記クラスタを複数の前記ブロックから構成しても良い。

【0020】前記フォーマット情報は、前記クラスタのサイズを前記ブロックのサイズに一致させるための情報と、前記各クラスタの開始位置と終了位置を各前記ブロックの開始位置と終了位置に一致させるための位置調整用の領域、例えば、空き領域から構成されている。

【0021】前記ブロック消去型記憶媒体は、さらに、ファイル名と先頭記憶位置を示すディレクトリ情報と、ファイルの配置を示すファイルアロケーションテーブルを1つのクラスタ内に記憶していても良い。

【0022】記憶媒体にデータを記憶する場合、一般に、各データがいずれの位置に記憶されているかを示す位置情報（例えば、ファイルアロケーションテーブル）と各データの識別名（例えば、ファイル名及びディレクトリ）とを記憶する必要がある。この位置情報と識別名は、データの書き込み或いは削除を行う度に更新する必要がある。上記ブロック消去型記憶媒体では、前記位置情報と前記識別名とが1つのクラスタ、即ち、1つのブロック内に記憶されている。従って、これらのデータの更新のために他のデータを退避する必要はない。このため、データの書き込み或いは削除の処理を高速に行うことができる。

【0023】前記フォーマット情報を記憶した前記ブロック以外のブロックの記憶データは物理的に消去されていることが望ましい。一般の記憶媒体では、データ領域に記憶されたデータを、物理的に消去する（例えば、全て「1」に相当するデータを書き込んで消去する）ことなく、データの特定箇所（例えば、先頭1文字）を特定コードに置換すること等により、データが消去されていると見なして処理することも可能である。しかし、フラッシュメモリなどのブロック消去型記憶媒体では、このような形式のデータの消去では、消去データの上に新たなデータを書き込むことができず、元のデータの退避と、該当エリアの消去という処理が必要となる。この発明では、ブート領域やFAT領域等の特定の領域以外の

領域は、データが消去されているので、書き込み動作時に、データの退避や消去が不要となり、書き込み処理を高速化することができる。

【0024】また、本発明の第3の観点にかかるデータ処理システムは、複数のブロックから構成され、記憶データを前記ブロック単位で一括して消去可能なブロック消去型記憶媒体に接続可能に構成された接続部と、整数個、例えば、1つの前記ブロックとクラスタとを本質的に一致させるフォーマット情報を前記接続部を介して前記ブロック消去型記憶媒体に書き込むことにより、前記ブロック消去型記憶媒体をフォーマットするフォーマット手段と、を備えることを特徴とする。

【0025】このシステムでは、クラスタが整数個の前記ブロックで構成される。このため、データの消去或いは書き込みの処理をすべてブロック単位で行うことができる。これにより、データの書き込みのために他のデータを退避する必要がなく、データの消去或いは書き込みの処理を高速に行うことができる。

【0026】クラスタとブロックを一致させるために、前記クラスタのサイズを前記ブロックのサイズに一致させるための情報と、前記各クラスタの開始位置と終了位置が各前記ブロックの開始位置と終了位置に一致させるための位置調整用の情報とを前記ブロック消去型記憶媒体に書き込むようにしてもよい。

【0027】前記データ処理システムは、ファイル名と先頭記憶位置を示すディレクトリ情報と、ファイルの配置を示すファイルアロケーションテーブルを1つのクラスタ内に記録する手段をさらに備えてもよい。これらの情報は、データの書き込み或いは削除を行う度に更新される。このシステムでは、これらの情報が1つのブロック内に記憶されているので、これらのデータの更新のために他のデータを退避するなどの不要な処理を行う必要がない。このため、データの書き込み或いは削除の処理を高速に行うことができる。

【0028】前記フォーマット手段は、前記フォーマット情報を書き込むブロック以外のブロックの記憶データを物理的に消去する手段を含んでもよい。一般の記憶媒体では、データを物理的に消去することなく、データの特定箇所を特定コードに置換すること等により、データが消去されていると見なして処理することも可能である。しかし、ブロック消去型記憶媒体では、このような形式のデータの消去では、データの書き込み時に、元のデータを消去する等の処理が必要となり、処理に時間がかかる。この発明では、フォーマット時に、データ領域のデータを予め物理的に消去しておくので、書き込み動作を高速化することができる。

【0029】前記ブロック消去型記憶媒体に書き込まれているファイルを削除する場合も、該当するデータを含む前記ブロックのデータを物理的に消去することが望ましい。

【0030】前記データ処理システムは、前記接続手段を介して前記フォーマット情報を読み取るフォーマット情報読取手段と、前記フォーマット情報読取手段により読み取られたフォーマット情報に基づいて、ファイルの最小単位であるクラスタのサイズと位置を判別するクラスタ判別手段と、前記クラスタ判別手段が判別したクラスタのサイズと位置に従って、前記ブロック消去型記憶媒体のデータの消去、データの書き込み、データの読み出しを制御する手段を備える。これらの手段を備えることにより、データの消去時、書き込み時等に、処理を高速に行うことができる。

【0031】上述のデータ処理システムの動作及び機能をコンピュータに実行させるためのプログラムを、記録媒体に格納し頒布し、これをコンピュータにインストールすることにより、コンピュータに上述の動作を実行させても良い。

【0032】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0033】〔第1の実施の形態〕図1は、本発明の第1の実施の形態のフラッシュメモリの記憶制御システムの構成を示すブロック図である。図示するように、この記憶制御システムは、フラッシュメモリ1と、記憶制御装置2と、コンピュータ3と、入出力バス4とから構成されている。また、記憶制御装置2は、SCSIバスなどによって構成された入出力バス4を介してコンピュータ3に接続されており、コンピュータ3に着脱可能に構成されている。

【0034】フラッシュメモリ1は、メモリセルアレー11と、アドレスレジスタ12と、カラムデコーダ13と、ローアドレスデコーダ14と、電圧変換回路15と、高電圧発生回路16とからなるブロック消去型記憶媒体である。

【0035】メモリセルアレー11は、各1バイトの記憶容量を有する複数の記憶領域から構成されている。各記憶領域は、縦16384行、横528列のマトリクス状に配置されており、従って、メモリセルアレーは全体として約8.65メガバイトの記憶容量を有する。

【0036】メモリセルアレー11の各行は、図2に示すように、528バイトの記憶容量を有するページを構成する。各ページには連続的に1から16384までのページアドレスが付与され、各ページに含まれる各記憶領域には、連続的に1から528までのカラムアドレスが与えられている。各ページは、先頭から16ページ単位で1つのブロックを構成する。各ブロックは約8.03キロバイトの記憶容量を有し、記憶領域全体は、1024個のブロックから構成されている。そして、各ブロックには、連続的に1から1024までのブロックアドレスが与えられている。

【0037】同一ブロックに属する16個ずつの記憶領

域は、図 3 に示すように、縦 16 行、横 8 列のマトリクス状に配列されたメモリセルからなる。各メモリセルは NAND 型のものであって、共通の基板上に形成されている。各列のメモリセルの電流路は、カスケードに接続され、各行のメモリセルのゲートは、共通の行制御入力端  $T_{rcnt}$  に接続されている。各行制御入力端  $T_{rcnt}$  は更に、同一ページの他の列に属する各メモリセルのゲートに接続されている。

【0038】カスケードに接続された各電流路の一端には、列選択用の FET 1-1 ~ 1-8 (電界効果トランジスタ) のソースが接続されている。各 FET 1-1 ~ 1-8 のドレインは、各列に対応付けられたデータ入出力端  $T_{data}$  に接続され、ゲートは、共通の列制御入力端  $T_{ccnt}$  1 に接続されている。また、各電流路の他端には、列選択用の FET 2-1 ~ 2-8 のドレインが接続されており、FET 2-1 ~ 2-8 のソースは、基板に接続されている。また FET 2-1 ~ 2-8 のゲートは、共通の列制御入力端  $T_{ccnt}$  2 に接続されている。また、列制御入力端  $T_{ccnt}$  1 及び  $T_{ccnt}$  2 は、フラッシュメモリアレー 11 の同一の列に属する各メモリセルに接続する各列選択用 FET 1-1 ~ 1-8 及び FET 2-1 ~ 2-8 のゲートに更に接続されている。

【0039】各メモリセルは、行制御入力端  $T_{rcnt}$ 、列制御入力端  $T_{ccnt}$  1、 $T_{ccnt}$  2 及び基板に印加される電圧に従って、データ入出力端  $T_{data}$  上のデータの書き込み、データ入出力端  $T_{data}$  上への読み出し、及び記憶内容の消去を行う。メモリアレー 11 は、全体としては、後述するように、データの書き込みはページ単位で行い、データの読み出しはバイト単位で行い、データの消去はブロック単位で行う。

【0040】なお、各メモリセルは NAND 型であるため、データの記録は、記憶値を「1」から「0」にする方向にしか行うことができない。メモリセルの記憶値が「0」となったビットは、記憶内容がリセット(ブロック単位の消去)されるまで、「0」の状態を維持する。

【0041】アドレスレジスタ 12 は、カラムデコーダ 13 と、ローアドレスデコーダ 14 と、記憶制御装置 2 とに接続されている。アドレスレジスタ 12 は、記憶制御装置 2 より、メモリアレー 11 のカラムアドレス及びページアドレスを示す 3 バイトの情報を、1 バイトずつ入力して記憶する。そして、記憶した情報のうち、カラムアドレスの情報をカラムデコーダ 13 に出力し及びページアドレスの情報をローアドレスデコーダ 14 に出力する。

【0042】カラムデコーダ 13 は、アドレスレジスタ 12 よりカラムアドレスの情報を入力する。そして、入力したカラムアドレスの情報と、制御回路 21 の指示とに応じて、各行制御入力端  $T_{rcnt}$  に、高電圧発生回路 16 が発生した書込電圧、消去電圧、読出電圧又は読出禁止電圧を印加する。

【0043】ローアドレスデコーダ 14 は、アドレスレジスタ 12 よりページアドレスの情報を入力する。そして、その情報と、制御回路 21 の指示とに応じて、各列の列制御入力端  $T_{ccnt}$  1、 $T_{ccnt}$  2 に、高電圧発生回路 16 が発生した順バイアス電圧又は逆バイアス電圧を印加する。

【0044】電圧変換回路 15 は、メモリアレー 11 に書き込むべきデータをデータレジスタ 24 より入力し、そのデータの各ビットの値を表す電圧を、所定の書込電圧に変換する。そして、この書込電圧を、制御回路 21 の指示に従い、データ入出力端  $T_{data}$  に印加する。また、電圧変換回路 15 は、メモリアレー 11 からデータが読み出されたとき、各メモリセルの記憶内容を表す電圧をデータ入出力端  $T_{data}$  上から入力し、その電圧を増幅して、データレジスタ 24 に格納する。

【0045】高電圧発生回路 16 は、制御回路 21 の指示に従って、各行制御入力端  $T_{rcnt}$  に印加する書込電圧と、各データ入出力端  $T_{data}$  に印加する書込禁止電圧と、基板に印加する消去電圧と、各列の列制御入力端  $T_{ccnt}$  1、 $T_{ccnt}$  2 に印加する順バイアス電圧又は逆バイアス電圧を生成する。そして、生成した電圧を、メモリアレー 11 の基板と、カラムデコーダ 13 と、アドレスデコーダ 14 とに供給する。

【0046】図 1 に記載の記憶制御装置 2 は、制御回路 21、入出力コントロール回路 22、動作ロジックコントロール回路 23、コマンドレジスタ 24 及びデータレジスタ 25 から構成されている。記憶制御装置 2 は、フラッシュメモリ 1 と主記憶装置 32 との間でデータを転送する。

【0047】制御回路 21 は、コマンドレジスタ 24 に格納されたコマンドと、動作ロジックコントロール回路 23 の指示とに従って、カラムデコーダ 13 と、ローアドレスデコーダ 14 と、電圧変換回路 15 と、高電圧発生回路 16 とを、後述する通りに制御する。

【0048】入出力コントロール回路 22 は、フラッシュメモリ 1 のデータバスと、入出力バス 4 と、動作ロジックコントロール回路 23 と、コマンドレジスタ 24、アドレスレジスタ 12 及びステータスレジスタ 28 に接続されている。入出力コントロール回路 22 は、動作ロジックコントロール回路 23 の指示に従って、データレジスタ 25 及び入出力バス 4 よりデータを入力し、また、アドレスレジスタ 12、コマンドレジスタ 24、データレジスタ 25 及び入出力バス 4 にデータを出力する。

【0049】動作ロジックコントロール回路 23 は、後述する CPU 31 と、入出力コントロール回路 22 と、制御回路 21 とに接続されている。動作ロジックコントロール回路 23 は、CPU 31 より、コマンドラッチ信号、アドレスラッチ信号、書込信号及び読出信号を入力し、これらの信号の状態に従って、制御回路 21 及び入

出力コントロール回路22を、後述の通りに制御する。

【0050】コマンドレジスタ24は、入出力コントロール回路22から入力したコマンドの情報を格納し、制御回路21に出力する。データレジスタ25は、528バイトの記憶容量を有し、書き込む対象のデータを入出力コントロール回路22から入力して記憶し、電圧変換回路15に出力する。また、メモリセルアレー11の読み出し処理の結果として電圧変換回路15から出力されるデータを入力し、入出力コントロール回路22に出力する。

【0051】コンピュータ3は、VMEバスなどによって構成されたシステムバス34を介して互いに接続されたCPU(中央処理装置)31と、主記憶装置32と、I/O(入出力制御装置)33とから構成されている。コンピュータ3は、I/O33を介して入出力バス4に接続されている。

【0052】CPU31は、主記憶装置32に記憶されたプログラムを実行する。CPU31は、また、入出力バス4を介してコンピュータ3に接続されたキーボードなどの入力装置(図示せず)の操作にตอบสนองして、後述するフローチャートに示すプログラムを実行させるためのコマンドを出力する。

【0053】主記憶装置32は、CPU31の処理プログラムを記憶する他、フラッシュメモリ1に記憶させるためのファイルや、フラッシュメモリ1から読み出されたファイルを記憶する。また、主記憶装置32は、フラッシュメモリ1をフォーマットするときにブート領域に記憶するマスターブートレコード及びパーティションレコードや、後述するアドレス変換テーブルを記憶する。

【0054】I/O33は、コンピュータ3のCPU31または主記憶装置32から入出力バス4へのデータの出力、またはその逆の入力を制御する入出力制御装置である。

【0055】(メモリセルアレー11の記憶領域の論理的構造)メモリセルアレー11は、コンピュータ3が使用するオペレーティングシステム(OS)、例えば、MS-DOS(マイクロソフト社商標)のフォーマットに従ってフォーマットされ、特に、メモリセルアレー11の物理的構成であるブロックとOSが管理するファイルの論理的単位であるクラスタとが一致するようにフォーマットされている。ただし、各クラスタには「1」より始まる番号が付されており、この番号とメモリセルアレー11の先頭番地からのブロックの順番とは、必ずしも一致しない。

【0056】メモリセルアレー11がフォーマットされた初期状態において、メモリセルアレー11の記憶領域は、図4に示すように、

1. マスターブート記録領域
2. 空き領域
3. パーティションブート記録領域

4. FAT(ファイルアロケーションテーブル)

5. ディレクトリ領域

6. ファイル領域

の各領域に区分されている。

【0057】これらの領域のうち、マスターブート記憶領域と、空き領域と、パーティションブート記憶領域とが、メモリセルアレー11の先頭のブロックに配置されている。

【0058】マスターブート記録領域は先頭の第1ページ(第1セクタ)より構成され、起動の処理に関する情報と、このメモリ装置に設けられている各パーティション(このメモリ装置を1以上の仮想の記憶装置に分割して用いる場合の、各仮想の記憶装置)に関する情報とを記録する領域である。各パーティションに関する情報は、例えば、各パーティションが起動の対象となっているか否かの情報を含み、更に、

- (1) 各パーティションの始めのページの位置
- (2) 各パーティションの終わりのページの位置
- (3) 各パーティションに含まれるページの総数

を示す情報を含む。

【0059】空き領域は、マスターブート記録領域に続く14ページにより構成される。空き領域は、記憶領域が複数のクラスタに分割されたとき、物理的単位であるブロックとOSが管理する論理的単位であるクラスタとの先頭及び末尾を一致させる目的で設けられる。

【0060】パーティションブート記録領域は、空き領域に続く1ページから構成される。パーティションブート記録領域は、各パーティションの構造に関する情報と、起動時の処理に関する情報とを記憶する。各パーティションの構造に関する情報は、以下の内容を有する。

- (4) 各パーティションに含まれるページ1個の記憶容量
- (5) クラスタ1個を構成するページの数
- (6) 各パーティションが含むことができるディレクトリの最大数
- (7) FATが占めるページの数
- (8) FATの数

【0061】クラスタは、パーティションブート記録領域に定義された所定数のページからなる記憶単位であり、OSが管理する1つのファイルの内容が記録される最小の記憶単位である。従って、1つのクラスタに異なるファイルの内容が含まれることはない。この実施の形態では、ブロックとクラスタのサイズを一致させるため、各クラスタは16ページから構成されるように定義されている。

【0062】ブロック2~ブロック1024は、任意のデータ、ファイル、等を格納するためのデータ領域を構成する。データ領域のいずれか(初期状態ではブロック2)には、FATとディレクトリが記憶されている。FATは、1ブロック内の16ページのうち、先頭の3ペ

ージに記憶され、ディレクトリは、残りの 13 ページに記憶されている。FAT は、ファイルの配置を示すテーブルである。ディレクトリは、記憶するファイル名、ファイルの先頭が記憶されているクラスタの番号等に関する情報を含む。

【0063】コンピュータ 3 のオペレーティングシステム (OS) が管理するクラスタとメモリセルアレー 11 の物理的単位であるブロックのサイズ及び位置を一致させるため、マスターブート記録領域とパーティションブート領域には、具体的には、例えば、次の値が記録される。

【0064】(1) 各パーティションの始めのページの位置を 1、(2) 各パーティションの終わりのページの位置を 16384、(3) 各パーティションに含まれるページの総数を 1、(4) 各パーティションに含まれる 1 ページの記憶容量を 512 バイト、(5) 1 つのクラスタを構成するページの数 16、(6) 各パーティションが含むことができるディレクトリの最大数を 256、(7) FAT が占めるページの数 3、(8) FAT の数を 1、とする。

【0065】図 5 は、FAT、ディレクトリ、及びクラスタの対応付けを示す図である。図示するように、FAT 及びディレクトリが記憶されたクラスタの番号は制御回路 21 の記憶部 21a 内のポインタによって示されている。

【0066】ディレクトリは、メモリセルアレー 11 内に記憶されているファイルのファイル名とそのファイルの先頭部分が記憶されているクラスタをポインタで示す。FAT は、ファイルが 1 つのクラスタ内に収まらないとき、後続の部分を記憶するクラスタをそれぞれポインタで示すものである。ファイルの最終部分が記憶されているクラスタは、終了コード (EC) によって示される。

【0067】(アドレス変換テーブル) アドレス変換テーブルは、各ブロックに割り当てられているクラスタの番号を表す情報を格納するテーブルである。アドレス変換テーブルは、前述の通りコンピュータ 3 の主記憶装置 32 に記憶されており、CPU 31 によりアクセスされ、また更新される。

【0068】アドレス変換テーブルの構造の一例を図 6 に示す。アドレス変換テーブルは複数のレコードからなり、各レコードの先頭には、「1」から始まるクラスタの番号が格納され、続いて、その番号に対応付けられているブロックの番号が格納されている。

【0069】なお、FAT が記憶されているブロックには、クラスタの番号として常に「1」が割り当てられる。そして、FAT が更新されるとき、クラスタの番号「1」は、後述する処理により、FAT が新たに記憶されるブロックを示すように変更される。

【0070】(フラッシュメモリ及び記憶制御装置の基

本動作) 次に、フラッシュメモリ 1 及び記憶制御装置 2 による、データの読み出し、書き込み及び消去の基本動作を、図 7～図 9 のフローチャートを参照して説明する。図 7 は、データ読み出しの動作を示すフローチャートである。図 8 は、データ書き込みの動作を示すフローチャートである。図 9 は、データ消去の動作を示すフローチャートである。

【0071】(読み出し) 読み出しのモードは、以下述べるように 3 種類ある。図 7 に示す第 1 の読み出しモードは、コマンドラッチ信号がアクティブレベルにあり、第 1 の読み出しモードを表すコマンド「00H」が入出力バス 4 より入出力コントロール回路 22 に入力されている状態で、動作ロジックコントロール回路 23 に書込信号が入力されることにより開始する (ステップ S101)。なお、末尾に「H」が付された数字は 16 進数を表す。

【0072】書込信号が入力されると、動作ロジックコントロール回路 23 は、入出力コントロール回路 22 にコマンドの入力を指示し (ステップ S102)、指示を受けた入出力コントロール回路 22 は、コマンドレジスタ 24 にコマンド「00H」を格納する (ステップ S103)。そして、制御回路 21 がコマンドレジスタ 24 の内容を読み取ると (ステップ S104)、制御回路 21 は、第 1 の読み出しモードの開始を検知する。

【0073】次に、コマンドラッチ信号が解除され、代わってアドレスラッチ信号がアクティブレベルになり、入出力バス 4 には、カラムアドレスを表す信号が入力される。そして、この状態で書込信号が再び入力されると (ステップ S105)、動作ロジックコントロール回路 23 は、入出力コントロール回路 22 にアドレスの入力を指示し (ステップ S106)、指示を受けた入出力コントロール回路 22 は、アドレスレジスタ 12 にカラムアドレスを格納する (ステップ S107)。

【0074】次に、アドレスラッチ信号がアクティブレベルを保ったまま、入出力バス 4 に、ページアドレスの下位 8 ビットを特定する下位ページアドレス信号が入力される (ステップ S108)。そして、この状態で書込信号が再び入力されると、動作ロジックコントロール回路 23 は、入出力コントロール回路 22 にアドレスの入力を指示し、指示を受けた入出力コントロール回路 22 は、アドレスレジスタ 12 に下位ページアドレスを格納する (ステップ S109)。

【0075】次に、ステップ S108～S109 と同一の処理により、アドレスレジスタ 12 には、ページアドレスの上位 5 ビットを特定する上位ページアドレスが更に格納される (ステップ S110)。以上 3 回に分けてカラムアドレス及びページアドレスの情報を入力したアドレスレジスタ 12 は、カラムアドレスをカラムデコーダ 13 に入力し、ブロックアドレス及びページアドレスをローアドレスデコーダ 14 に入力する (ステップ S1

10

20

30

40

50

11)。これにより、カラムデコーダ13及びローアドレスデコーダ14は、読み出し対象の先頭の記憶領域を特定する。

【0076】読み出し対象が特定されると、アドレスラッチ信号は解除され、読出信号が入力される(ステップS112)。読出信号を入力した動作ロジックコントロール回路23は、制御回路21に、データの読み出しの制御の開始を指示する(ステップS113)。指示を受けた制御回路21は、カラムデコーダ13と、ローアドレスデコーダ14と、高電圧発生回路16とに、データを読み出す動作の開始を指示する(ステップS114)。

【0077】指示を受けたカラムデコーダ13は、列制御入力端T<sub>ccnt</sub>1、T<sub>ccnt</sub>2に十分深い順バイアスを印加する。そして、この状態で、ローアドレスデコーダ14が、読み出し対象の記憶領域を構成する各メモリセルのゲートに接続する列制御入力端T<sub>ccnt</sub>に所定の読出電圧を印加し、他の列制御入力端T<sub>ccnt</sub>には所定の読出禁止電圧を印加する(ステップS115)。

【0078】これにより、各データ入出力端T<sub>data</sub>には読み出し対象の記憶領域が記憶する1バイト分のデータが出力される。そして、該データは、電圧変換回路15により電圧値を変換された後、データレジスタ25及び入出力コントロール回路22を経て、入出力バス4に出力される(ステップS116)。

【0079】以下、読出信号が動作ロジックコントロール回路に入力される毎に、ステップS112～S116と同一の処理により、後続の記憶領域の記憶内容が、入出力バスに1バイトずつ順次出力される(ステップS117)。

【0080】第2の読み出しモードは、上述のステップS101において、入出力バス4より入出力コントロール回路22に、第2の読み出しモードを表すコマンド「01H」が入力されている場合に、書込信号によって開始する。第2の読み出しモードの動作においては、読み出される先頭の位置が、入出力バス4から入力されたカラムアドレス及びページアドレスが示す位置の256個先のアドレスとなる点が、第1の読み出しモードと異なる。その他の動作は、第1の読み出しモードと同一である。

【0081】第3の読み出しモードは、上述のステップS101において、入出力バス4より入出力コントロール回路22に、第2の読み出しモードを表すコマンド「50H」が入力されている場合に、書込信号によって開始する。第2の読み出しモードの動作においては、読み出される先頭の位置が、入出力バス4から入力されたカラムアドレス及びページアドレスの下位4ビットが示す位置の512個先のアドレスである。また、各ページの最終カラムのメモリセルのデータが読み込まれた後、さらに読出信号が入力されると、次ページの513番目

のメモリセルから読み出しが行われ、以下、各ページの513番目以降のメモリセルが読み出しの対象となる。その他の動作は、第1の読み出しモードと同一である。

【0082】(書き込み)図8に示すデータ書き込みの動作は、以下説明するように、書き込み対象ページのアドレスが指定され、1ページ分のデータがデータレジスタ25に書き込まれた後、データレジスタ中のデータが、指定されたページに順次書き込まれることにより実行される。

10 【0083】書き込みの処理は、コマンドラッチ信号がアクティブレベルで、データレジスタへのデータ出力を表すコマンド「80H」が入出力コントロール回路22に入力されている状態において、動作ロジックコントロール回路23に書込信号が入力されると、開始される(ステップS201)。

【0084】処理が始まると、カラムデコーダ13及びローアドレスデコーダ14は、データ読み込みの処理におけるステップS102～S111と同様の処理により、書き込み対象のページの先頭の位置を示すカラムアドレス及びページアドレスを特定する(ステップS202)。ステップS202の処理が終わった後、アドレスラッチ信号が解除され、動作ロジックコントロール回路23に書込信号が入力されると、動作ロジックコントロール回路23は、入出力コントロール回路22にデータの入力を指示する(ステップS203)。指示を入力した入出力コントロール回路22は、入出力バス4上に出力されているデータを、データレジスタ25の先頭の番地に格納する(ステップS204)。

30 【0085】以下、制御回路21、入出力コントロール回路22及び動作ロジックコントロール回路23は、ステップS203～S204と同様の処理を行って、データレジスタ25の後続の番地に、書き込むべきデータを順次格納する(ステップS205)。ただし、書き込むべきデータの総量は、1ページ分以内すなわち528バイト以下である必要がある。

40 【0086】書き込む対象のデータがすべてデータレジスタ25に格納されると、コマンドラッチ信号が再びアクティブレベルにされ、入出力バス4には、データレジスタ25の記憶内容を書き込み対象ページへ書き込むことを指示するコマンド「10H」が入力される(ステップS206)。

【0087】この状態で、動作ロジックコントロール回路23に書込信号が入力されると、動作ロジックコントロール回路23は、制御回路21に、データ書き込みの制御を開始するよう指示する(ステップS207)。指示を受けた制御回路21は、カラムデコーダ13と、ローアドレスデコーダ14と、電圧変換回路15と、高電圧発生回路16と、データレジスタ25とに、データ書き込みの処理の開始を指示する(ステップS208)。

50 【0088】指示を受けた高電圧発生回路16は、書込

電圧を生成してロードレスデコーダ 1 4 に供給し、また、書込禁止電圧を生成して電圧変換回路 1 5 に供給する（ステップ S 2 0 9）。そして、電圧変換回路 1 5 は、データレジスタ 1 4 の先頭番地に格納されている 1 バイトのデータを読み込む。そして、論理値が「1」であるビットにあたるデータ入出力端 Tdata には、高電圧発生回路 1 6 から入力した書込禁止電圧を印加し、一方、論理値が「0」であるビットにあたるデータ入出力端 Tdata には、接地電圧を印加する（ステップ S 2 1 0）。

【0089】次いで、カラムデコーダ 1 3 が、ステップ S 2 0 2 で特定されたページの先頭の記憶領域にあたる列制御入力端 Tccnt 1 に十分深い順バイアスを加え、列制御入力端 Tccnt 2 には十分深い逆バイアスを加える。また、ロードレスデコーダ 1 4 は、ステップ S 2 0 2 で特定されたページにあたる行制御入力端 Trcnt に、高電圧発生回路 1 6 から入力した書込電圧を印加する（ステップ S 2 1 1）。このとき、当該メモリセルの電流路に接地電圧が印加されていれば、該メモリセルの記憶値は「1」から「0」に転ずる。

【0090】ステップ S 2 1 1 の処理が終わると、以下、ステップ S 2 0 9 ~ S 2 1 1 と同一の処理により、データレジスタ 2 5 に格納されている後続の各データが、ステップ S 2 0 2 で特定されたページの後続の記憶領域に順次書き込まれる（ステップ S 2 1 2）。以上の処理により、メモリセルアレー 1 1 には、1 ページ単位でデータが書き込まれる。

【0091】（消去）図 9 に示すブロック内のデータ消去の動作は、コマンドラッチ信号がアクティブレベルにあり、消去対象ブロックのアドレスのロードを指示するコマンド「60H」が入出力コントロール回路 2 2 に入力されている状態において、動作ロジックコントロール回路 2 3 に書込信号が入力されることにより開始される（ステップ S 3 0 1）。

【0092】処理が始まると、アドレスレジスタ 1 2 は、データ読み込みの処理におけるステップ S 1 0 2 ~ S 1 1 1 と同様の処理により、上位及び下位のページアドレスを入力する。そして、入力したページアドレスの上位 9 ビットを抽出して、消去対象のブロックの位置を示すブロックアドレスを特定する（ステップ S 3 0 2）。

【0093】消去対象のブロックアドレスが特定されると、コマンドラッチ信号が再びアクティブレベルになり、入出力バス 4 には、データレジスタ 2 5 の消去対象のブロックの記憶内容の消去を指示するコマンド「D0H」が入力される（ステップ S 3 0 3）。この状態で、動作ロジックコントロール回路 2 3 に書込信号が入力されると、動作ロジックコントロール回路 2 3 は、制御回路 2 1 に、特定されたブロックのデータ消去の制御を開始するよう指示する（ステップ S 3 0 4）。そして、こ

の指示を受けた制御回路 2 1 は、カラムデコーダ 1 3 と、ロードレスデコーダ 1 4 と、高電圧発生回路 1 6 とに、データ消去の処理の開始を指示する（ステップ S 3 0 5）。

【0094】指示を受けたカラムデコーダ 1 3 は、メモリセルアレー 1 1 のすべての列制御入力端 Tccnt 1、Tccnt 2 に十分深い逆バイアスを印加する。また、ロードレスデコーダ 1 4 は、ステップ S 3 0 2 で特定されたブロックに属するすべてのページにあたる行制御入力端 Trcnt に、接地電圧を印加する（ステップ S 3 0 6）。

【0095】この状態で、高電圧発生回路 1 6 は消去電圧を生成し、この消去電圧をメモリセルアレー 1 1 の基板に印加する（ステップ S 3 0 7）。これにより、当該ブロックに属する全メモリセルの記憶値は「1」になる。以上の処理により、メモリセルアレー 1 1 に記憶されたデータは、1 ブロック単位で消去される。

【0096】（フラッシュメモリ 1 のフォーマット処理）次に、フラッシュメモリ 1 を図 4 のようにフォーマットする処理について、図 10 のフローチャートを参照して説明する。この処理は、ユーザがコンピュータ 3 に接続されたキーボードなどの入力装置（図示せず）を操作することによって、フォーマットの開始を指示することにより開始する。

【0097】まず、フラッシュメモリ 1 及び記憶制御装置 2 は、上述の消去の動作、すなわちステップ S 3 0 1 ~ S 3 0 6 の動作を、各ブロックを消去対象として順次実行し、各ブロックの記憶内容を消去する（ステップ S 4 0 1）。ステップ S 4 0 1 の処理において、出力バス 4 上に出力されるコマンド「60H」及び「D0H」は、CPU 3 1 より、システムバス 3 4、I/O 3 3 を介して送出される。

【0098】次に、CPU 3 1 は、フォーマットプログラムを実行し、フラッシュメモリ 1 のブロックとセクタとのサイズと位置を一致させるために、上述の内容を有するマスタブートレコードと、空きエリアのサイズと、パーティションブートレコードとを生成する。そして、フラッシュメモリ 1 及び記憶制御装置 2 が、上述の書込の動作、すなわちステップ S 2 0 1 ~ S 2 1 1 の動作を実行し、上述の内容を有するマスタブートレコードを、先頭から 1 ページ分ずつ書き込む（ステップ S 4 0 2）。ステップ S 4 0 2 の処理において、出力バス 4 上に出力されるコマンド「80H」及び「10H」と、書込対象のデータとは、CPU 3 1 より、システムバス 3 4、I/O 3 3 を介して送出される。

【0099】次に、記憶制御装置 2 は、1 4 ページを空けて、同様の動作により、ブロック 1 のページ 1 6 にパーティションブートレコードを書き込む（ステップ S 4 0 3）。このようにして、ブロック 1 に、マスタブート領域と空き領域とパーティションブート領域とが形成される。

【0100】最後に、CPU 31は、アドレス変換テーブルを作成して、主記憶装置32内に格納する(ステップS404)。ステップS404において作成されるアドレス変換テーブルにおいて、各クラスタ及び各ブロックの値は、各クラスタの番号が、メモリセルアレー11の先頭番地からの各ブロックの番号が各クラスタに一致するように対応付けられる。すなわち、ブロック2はクラスタ2に、ブロック3はクラスタ3に対応付けられ、以下同様に、ブロックの番号がクラスタの番号に一致するように対応付けられる。

【0101】以上で、図10のフローチャートの処理を終了する。これにより、図4に示したように、フラッシュメモリ1がフォーマットされる。

【0102】(電源立ち上げ時の処理) コンピュータ3の電源が投入されると、CPU 31は、フラッシュメモリ1のマスタブート領域及びパーティションブート領域に格納された情報を、第1の読み出しモードで読み出すよう、図示せぬ内部ROMなどに記憶されたプログラムに従って、記憶制御装置2に指示する。

【0103】これにより、第1ブロックの第1ページに記憶されたマスタブートレコードがデータ入出力端Tdataから読み出される。読み出されたマスタブートレコードは、CPU 31に提供される。CPU 31は、読み出されたマスタブートレコードに基づいて、同様の動作により、パーティションブートレコードを第1の読み出しモードで読み出すよう、記憶制御装置2に指示する。読み出されたパーティションブートレコードは、CPU 31に提供される。CPU 31は、読み出したブート情報を主記憶装置32に格納する。

【0104】CPU 31は、読み出したデータから、クラスタのサイズとデータ領域の先頭を判別する。これ以後、ファイルをアクセスする動作を、これらのブート情報の定義に従って行う。従って、データの読み出し及び書き込み時のファイルの最小単位とその位置は、フラッシュメモリ1のブロックのサイズと位置に等しいものとなる。

【0105】(ファイルの削除処理) 次に、フラッシュメモリ1に書き込まれたファイルを削除する処理について、図11のフローチャートを参照して説明する。ファイル削除処理は、ユーザがコンピュータ3に接続されたキーボードなどの入力装置(図示せず)を操作することによって、あるいは、CPU 31が実行中のアプリケーションプログラムの必要により開始される。

【0106】ファイルを削除する処理が開始されると、CPU 31は、削除対象のファイル名を特定する(ステップS501)。次に、CPU 31は、FAT及びディレクトリのあるページ(すなわち、アドレス変換テーブル上でクラスタの番号「1」が割り当てられているブロックの先頭以降のページ)を特定する。そして、CPU 31は、システムバス34、IOC 33及び入出力バス

4を介して、記憶制御装置2に、当該ページを第1の読み出しモードで読み出すよう指示する。そして、CPU 31は、記憶制御装置2が読み出したFAT及びディレクトリの記憶内容を入力し、主記憶装置32に記憶する(ステップS502)。

【0107】次に、CPU 31は、主記憶装置32に記憶したFAT及びディレクトリを検索して、ステップS501で特定したファイルが記憶されているクラスタを特定する。そして、そのクラスタの番号を主記憶装置32内に一時記憶する(ステップS503)。

【0108】次に、CPU 31は、主記憶装置32に記憶したFATの内容を解析して、現在空いているクラスタを1つ選択する(ステップS504)。そして、CPU 31は、現在クラスタの番号「1」が割り当てられているブロックに、ステップS504で選択されたクラスタの番号を新たに割り当て、一方で、現在FATが格納されているブロックに、ステップS504で選択されたクラスタの番号を新たに割り当てる。そして、この割り当て変更に従って、アドレス変換テーブルの内容を書き換える(ステップS505)。

【0109】次に、CPU 31は、主記憶装置32に記憶したFAT及びディレクトリの内容のうち、ステップS501で特定された、消去対象のファイルを示す情報を削除する(ステップS506)。これにより、FAT及びディレクトリは更新される。次に、CPU 31は、更新されたFAT及びディレクトリを第1の空きブロックに書き込むため、記憶制御装置2に書込の動作を行うよう指示する。この結果、記憶制御装置2は、ステップS201～S212の動作に従い、更新後のFATの先頭の1ページ分を、ステップS504で選択された空きブロックの先頭の1ページに書き込む(ステップS507)。

【0110】CPU 31は、更新されたFAT及びディレクトリがすべてステップS504で選択された空きブロックに書き込まれるまで、記憶制御装置2の書込動作が終了する都度、書込の指示を行う。記憶制御装置2は、その指示を受ける度に、後続の各ページに、ステップS201～S212の動作に従って順次FAT及びディレクトリを書き込む(ステップS508)。

【0111】次に、CPU 31は、アドレス変換テーブルを参照して、ステップS503で記憶したクラスタの番号にあたるブロックを特定し、そのブロックの記憶内容を消去するよう、記憶制御装置2に指示する。これにより、そのブロックに記憶されたデータ、即ち、消去対象ファイルが、ステップS301～S306の動作に従って消去される(ステップS509)。

【0112】次に、CPU 31は、更新前のFAT及びディレクトリのあるブロックの記憶内容を消去するよう、記憶制御装置2に指示する(ステップS510)。これにより、更新前のディレクトリ及びFATが記憶さ

10

20

30

40

50

れていたブロックの記憶内容は、ステップ S 3 0 1 ~ S 3 0 6 の動作に従って消去される。

【0113】以上説明したステップ S 5 0 1 ~ S 5 1 0 の処理により、消去対象のファイルを示す情報は F A T 及びディレクトリから削除され、また当該ファイルの内容も消去される。なお、ステップ S 5 0 2 の処理は、ステップ S 5 0 1 ~ S 5 1 0 の処理に先行した処理などによって予め主記憶装置 3 2 に F A T 及びディレクトリの内容が読み込まれているときは、省略してもよい。

【0114】（ファイルの書き込み処理）フラッシュメモリ 1 にファイルを書き込む処理について、図 1 2 のフローチャートを参照して説明する。このフローチャートの処理も、ユーザがコンピュータ 3 に接続されたキーボードなどの入力装置（図示せず）を操作することによって、あるいは、ユーザプログラムの必要により実行される。

【0115】処理が始まると、CPU 3 1 は、書き込むべきファイルのファイル名とその先頭アドレス及びデータ量を特定する（ステップ S 6 0 1）。CPU 3 1 は、前述のフォーマット情報に従って動作しているので、データ量は、ブロックの整数倍の量である。

【0116】次に、CPU 3 1 は、アドレス変換テーブルを参照して F A T 及びディレクトリがあるブロックを特定し、記憶制御装置 2 に、そのブロックを第 1 の読み出しモードで読み出すよう指示して、F A T 及びディレクトリの記憶内容を入力する（ステップ S 6 0 2）。そして、入力した F A T を参照し、フラッシュメモリ 1 内の空きクラスタを検索する（ステップ S 6 0 3）。

【0117】次に、ステップ S 6 0 3 で検索した空きクラスタの数が、ステップ S 6 0 1 で特定したデータ量のファイルと、後述する更新後のディレクトリ及び F A T を記憶するのに十分であるかを判別する（ステップ S 6 0 4）。ステップ S 6 0 4 で空きクラスタの数が十分でないと判別した場合は、後述するステップ S 6 1 0 の処理に進む。

【0118】ステップ S 6 0 4 で空きクラスタの数が十分であると判別した場合は、ステップ S 6 0 1 で特定したデータ量のファイルを記憶するために必要なブロックを、ステップ S 6 0 3 で検索した空きクラスタのうち先頭のものから順に書き込み対象として特定する。そして、特定された各クラスタが示す各ブロックの番号をアドレス変換テーブルを検索することにより特定し、特定されたブロックの番号を主記憶装置 3 2 に一時記憶する（ステップ S 6 0 5）。

【0119】次に、CPU 3 1 は、ステップ S 6 0 5 で特定したブロックにファイルを書き込むため、記憶制御装置 2 に書込の動作を行うよう指示する。この結果、記憶制御装置 2 は、書込対象のファイルの先頭の 1 ページ分を、ステップ S 6 0 3 で検索された空きブロックの先頭の 1 ページに書き込む（ステップ S 6 0 6）。

【0120】CPU 3 1 は更に、書込対象のファイルの内容がすべてステップ S 6 0 3 で検索された空きクラスタに書き込まれるまで、記憶制御装置 2 の書込動作が終了する都度、書込の動作を指示する。記憶制御装置 2 は、その指示を受ける度に、ステップ S 2 0 1 ~ S 2 1 2 の動作に従い、後続の各ページに、順次ファイルの内容を書き込む（ステップ S 6 0 7）。CPU 3 1 が作成するファイルのサイズは、ブロックのサイズの整数倍である。従って、書き込み対象のファイルは、複数のブロックに均等に分割されて格納される。

【0121】ファイルの書き込みが終了すると、CPU 3 1 は、消去の処理におけるステップ S 5 0 4 ~ S 5 0 8 の動作に従って、F A T 及びディレクトリの更新を行う（ステップ S 6 0 8）。ただし、ステップ S 5 0 6 の処理の際は、主記憶装置 3 2 に記憶した F A T 及びディレクトリから消去対象のファイルを示す情報を削除する代わりに、書き込まれたファイルを示す情報の追加を行う。F A T 及びディレクトリの更新が終了すると、このフローチャートの処理は終了する。

【0122】一方、ステップ S 6 0 4 で、空きクラスタの数がファイルを書き込むのに十分ではないと判別されると、CPU 3 1 はファイルの書込ができないことを認識し、このフローチャートの処理を終了する（ステップ S 6 1 0）。

【0123】（ファイルの読み出し処理）このフラッシュメモリ 1 からファイルを読み出す場合は、従来、フラッシュメモリ 1 からファイルを読み出していた際と同一の処理を行えばよい。即ち、CPU 3 1 は、読み出し対象のファイル名を特定し、F A T 情報及びディレクトリ情報を第 1 の読み出しモードで読み出して、読み出した各情報から、当該ファイル名を持つファイルが記憶されているページを特定する。そして、そのページを第 1 の読み出しモードで読み出すよう指示する。これにより、該当するファイルは順次読み出され、CPU 3 1 に提供される。

【0124】以上説明したように、この実施の形態の記憶制御システムでは、フラッシュメモリ 1 のブロックのサイズと位置を OS が管理するファイルの最小単位であるクラスタのサイズと位置に一致させた。

【0125】従って、各ブロック内に複数のファイルが記憶されることがない。従って、フラッシュメモリ 1 に記憶されたファイルの書き込みを行うときに、同一ブロック内の消去対象データ以外のデータを別のクラスタに退避したり、退避したデータを格納していたブロックを消去する等の処理の必要がない。一般に、フラッシュメモリ 1 のデータの書き込みの速度は、データの読み出しの速度よりもかなり遅く、消去速度は書き込み速度よりもさらに遅い。従って、このような構成により、従来必要であった書き込み処理及び消去処理を行う必要がなく、処理速度を高速化することができる。

【0126】一般のオペレーティングシステムでは、媒体を初期化の際、データを物理的に消去するのではなく、既存データの一部を特定コードに置換することによりデータを消去している。しかし、フラッシュメモリでは、データを書き込む際に、このような消去されたデータが残っている場合でも、このデータの退避及び該当ブロックの物理的消去という手続きが必要になり、書き込み動作が遅くなる。この実施の形態では、フォーマット時にデータ領域を物理的に消去しているの、書き込み時の消去処理が不要となり、書き込み処理を高速化することができる。

【0127】また、一般のオペレーティングシステムでは、ファイルを削除する際に、実際にファイルを構成するデータ全体を削除するのではなく、先頭の1文字を特定コード、例えば、“CE”に書き換えることにより、消去ファイルとして取り扱っている。フラッシュメモリでは、データを書き込む際に、このような消去されたデータが残っている場合でも、このデータの退避及び該当ブロックの物理的消去という手続きが必要になり、書き込み動作が遅くなる。この実施の形態では、フォーマット時にデータ領域を物理的に消去しているの、書き込み時の消去処理が不要となり、書き込み処理を高速化することができる。

【0128】なお、この実施の形態の記憶制御システムにおけるフラッシュメモリ1の構成は上記構成のものに限るものではない。例えば、フラッシュメモリ1の記憶容量は全体で8メガバイトである必要はなく、また、各メモリセルの記憶容量が1バイトである必要もなく、また、1ページの記憶容量が528バイトである必要もない。また、1ブロックあたりのページ数が16である必要もない。

【0129】フラッシュメモリはNOR型のものであってもよい。また、フラッシュメモリ1が一度に入出力するデータの量は1バイトである必要はなく、例えば、2バイト以上を一度に入出力してもよい。

【0130】また、上記実施の形態では、電源立ち上げ時等に、ブート領域をアクセスし、フラッシュメモリ1のフォーマットを判別したが、フラッシュメモリ1をアクセスする際に、一旦ブート領域をアクセスし、制御回路21又はCPU31が認識しているフォーマットと一致することを確認した上で、データをアクセスしてもよい。

【0131】また、図4のフォーマットでは、FATとディレクトリとを同一クラスタ内に配置したが、別々のクラスタに配置してもよい。この場合、例えば、FAT及びディレクトリが格納されるクラスタを、「1」及び「2」又はその他の所定の番号のクラスタに対応付けることにより、FAT及びディレクトリの位置を判別する。

【0132】図4のフォーマットでは、FATを1つの

み配置したが、通常のディスクフォーマットに従って、FATの第1コピー(FAT1)と第2コピー(FAT2)を配置してもよい。

【0133】また、図4のフォーマットでは、ブート情報とFAT等の他の情報を別個のブロックに書き込んだが、これらの情報を同一のクラスタ(ブロック)に書き込んでも良い。このようなフォーマット構造を採用した場合には、FATの更新に伴って、ブート情報等も他の空きブロックに複写される。従って、制御回路21又はCPU31は、ブート領域の位置を記憶しておく。

【0134】例えば、各クラスタを8ページ(4KB)とした場合に、あるセクタのページ1にマスタブートレコードを書き込み、ページ2~4を空き領域とし、パーティションブートレコードをページ5に書き込み、FAT1とFAT2をページ7と8に書き込み、ディレクトリを別のクラスタに書き込んでも良い。この構成は、FAT及びディレクトリのサイズが小さい場合、例えば、記憶容量が全体で1MB程度の場合に有効である。

【0135】また、各クラスタを8ページとした場合に、あるセクタのページ1にマスタブートレコードを書き込み、ページ2と2を空き領域とし、パーティションブートレコードをページ4に書き込み、FAT1とFAT2をページ5~8に書き込み、ディレクトリを別のクラスタに書き込んでも良い。

【0136】各クラスタを16ページ(8KB)とした場合に、あるセクタのページ1にマスタブートレコードを書き込み、ページ2~9を空き領域とし、パーティションブートレコードをページ10に書き込み、FAT1とFAT2をページ11~16に書き込み、ディレクトリを別のクラスタに書き込んでも良い。同様に、あるセクタのページ1にマスタブートレコードを書き込み、ページ2と3を空き領域とし、パーティションブートレコードをページ4に書き込み、FAT1とFAT2をページ5~16に書き込み、ディレクトリを別のクラスタに書き込んでも良い。これらの構成は、FAT及びディレクトリのサイズが比較的大きい場合、例えば、記憶容量が全体で8MB、16MB程度の場合に有効である。

【0137】このようなフォーマット構成を採用しても、ブロックとクラスタのサイズが同一のサイズ及び位置に設定されているため、不要な消去処理などが発生せず、処理を高速で行うことができる。

【0138】フラッシュメモリ1は、記憶制御装置2に固定されている必要はなく、記憶制御装置2に着脱可能に構成されてもよい。

【0139】[第2の実施の形態] 第1の実施の形態では、CPU31からのコマンドに応答して、記憶制御装置2がフラッシュメモリ1のフォーマット、ファイルの消去、ファイルの書き込み等の処理を行ったが、CPU31自身が記憶制御装置2の動作を行っても良い。

【0140】この構成においては、例えば、図13に示

ように、フラッシュメモリ1のアドレスレジスタ12、カラムデコーダ13、ローアドレスデコーダ14、電圧変換回路15及び高電圧発生回路15は、I/O33に接続されている。

【0141】このような構成を採用した場合、CPU31は、記憶制御装置2が実行した動作をCPU自身で行う。例えば、フラッシュメモリ1をフォーマットする場合、CPU31は、ブロックアドレスを更新しながら、I/O33を介し、ローアドレスデコーダ14、電圧変換回路15及び高電圧発生回路16に、データ消去の処理の開始を指示する(図10、ステップS401)。さらに、書き込み対象マスタートレコード及びパーティションブートレコードを出力し、カラムデコーダ13、ローアドレスデコーダ14、電圧変換回路15及び高電圧発生回路16に、これらのデータの書込の処理の開始を指示する(ステップS402、403)。続いて、主記憶装置32上のアドレス変換テーブルを作成する(ステップS404)。

【0142】また、CPU31は、電源立ち上げ時等に、フラッシュメモリ1の先頭のブロックをアクセスしてブート情報を読み出し、クラスタの構造(サイズ及び位置)を判別し、これに基づいて、以後のフラッシュメモリ1へのアクセスを制御する。

【0143】例えば、ファイルを削除する場合には、CPU31は、自ら、ポインタの値からFATとディレクトリとを読み出し(図11、ステップS501～S502)、消去したいファイルが記憶されているクラスタを判別する(ステップS503)。そして、FAT及びディレクトリを更新し(ステップS504～S508)、そのクラスタに相当するブロックを消去する(ステップS509)。最後に、CPU31は、更新前のFAT等が記憶されているブロックを消去して(ステップS510)、処理を終了する。

【0144】また、例えば、データを新たに書き込む場合には、CPU31は、FATから空きクラスタを判別し、カラムデコーダ13と、ローアドレスデコーダ14と、電圧変換回路15と、高電圧発生回路16とを制御することにより、データを順次メモリセルアレー11に格納する。ファイルの書き込みが完了すると、FAT及びディレクトリを更新する。

【0145】CPU31が生成するファイルのサイズは、ブロックのサイズの整数倍である。従って、ファイルは1又は複数のブロックに過不足なく格納される。また、FATとディレクトリのサイズも、1ブロックと同一サイズに設定されているので、FATとディレクトリは、1つのブロックに過不足なく格納される。従って、1回の書き込み処理で、一部のブロックに、ファイルやディレクトリの一部の少量のデータが格納される等の事態を防止でき、前述の消去時等に、ブロック単位でファイルを消去することが可能となる。

【0146】このようにして、CPU31自身がフォーマット、ファイルの削除、ファイルの更新などの制御を行うことにより、制御回路を使用せずに、フラッシュメモリ1をアクセスすることができる。

【0147】このような構成の場合、同一ブロック内に消去対象データと他のデータが混在すると、CPU31自身がファイルの退避、消去などの処理を行わなければならない、コンピュータシステム全体の動作速度が非常に低下する虞がある。この実施の形態によれば、図4に示すようなクラスとブロックが一致するフォーマット構成を採用しているため、不要な退避処理や消去処理を抑えることができ、システム全体としての処理速度を高めることができる。

【0148】[第3の実施の形態] 上記の第1及び第2の実施の形態では、1つのクラスタが1つのブロックに一致するように、フラッシュメモリ1がフォーマットされていたが、図14に示すように、1つのクラスタが複数のブロックに対応するようにフラッシュメモリ1をフォーマットしてもよい。

【0149】図示するように、このフォーマットでは、フラッシュメモリ1のブロック1がブート領域となり、マスタートレコード及びパーティションブートレコードが記憶される。

【0150】ブート領域内のマスタートレコード及びパーティションブートレコード内に記憶されたデータによって、フラッシュメモリ1のクラスタが特定される。このフォーマットでは、フラッシュメモリ1のブロック2～ブロック4がクラスタ1に対応する。ブロック5～ブロック7がクラスタ2に対応する。ブロック8～ブロック10がクラスタ3に対応する。以下、同様に、ブロック1022～1024がクラスタ343に対応する。

【0151】なお、この実施の形態の記憶制御システム及びその処理は、上記第1及び第2の実施の形態の場合と同一である。但し、1つのクラスタのデータを消去するときに、この記憶制御システムは、データ消去対象のクラスタに対応する3つのブロックのそれぞれのデータを消去するため、ステップS301～S307の処理を3回繰り返す。また、図14では、1つのクラスタが3つのブロックに対応する例を示したが、1つのクラスタが2つ以上の任意の整数個のブロックに対応するものであってもよい。

【0152】[第4の実施の形態] 上記の第1の実施の形態では、フラッシュメモリ1をフォーマットする際に、フラッシュメモリ1のすべてのブロックの記憶内容を消去し、その後、ブロック1にマスタートレコード及びパーティションブートレコードを書き込んでいた。しかし、フォーマットする前後のブート情報が同一の場合には、これらの情報を再度書き込む必要がない。そこで、この実施の形態では、フォーマット前後のブー

ト情報が同一の場合に、これらを消去することなく、フラッシュメモリ1をフォーマットする方法について説明する。

【0153】この実施の形態において、記憶制御システムの構成は、図1の場合と同一である。また、フラッシュメモリ1のフォーマット以外の処理は、第1の実施の形態の場合と同一である。

【0154】図15は、この実施の形態においてフラッシュメモリ1をフォーマットするための処理を示すフローチャートである。このフローチャートの処理は、図10のフローチャートの処理と同様に、ユーザがコンピュータ3に接続されたキーボードなどの入力装置（図示せず）を操作することによって、CPU31からシステムバス34、I/O33及び入出力バス4を介して所定のコマンドが入出力コントロール回路22に投入されることによってスタートする。

【0155】処理がスタートすると、CPU31は、第1の実施の形態における電源立ち上げ時の処理と同様にして、フラッシュメモリ1内のブート領域に記憶されているマスターブートレコード及びパーティションブートレコードを読み出し、主記憶装置32に一時記憶する（ステップS701）。

【0156】次に、CPU31は、フラッシュメモリ1をフォーマットするために主記憶装置32内に記憶されているマスターブートレコード及びパーティションブートレコードを、システムバス34、I/O33及び入出力バス4及び入出力コントロール回路22を介して読み出す。そして、読み出したマスターブートレコード及びパーティションブートレコードと、ステップS701で一

時記憶したマスターブートレコード及びパーティションブートレコードとが一致するか否かを判断する（ステップS702）。【0157】ステップS702において、一致していると判断された場合には、フラッシュメモリ1のブロック1以外のブロックについて、順次ステップS301～S307の処理を行う。これによって、フラッシュメモリ1のブロック1（ブート領域）以外のブロックのメモリセルに記憶されたデータを消去する（ステップS703）。そして、このフローチャートの処理を終了する。これにより、図4に示したようにフラッシュメモリ1が

フォーマットされる。【0158】一方、ステップS702における比較結果が不一致である場合には、制御回路21は、図10のフローチャートのステップS401～S404の処理を行って、フラッシュメモリ1をフォーマットする（ステップS704）。そして、このフローチャートの処理を終了する。

【0159】以上説明したように、この実施の形態の記憶制御システムによれば、フラッシュメモリ1をフォーマットするとき、ブート領域に書き込まれていたマス

ーブートレコード及びパーティションブートレコードに変更を加える必要がないときは、ブート領域に書き込まれたデータの消去及びブート領域へのデータの書き込みを行わない。このように、データの読み出しよりも時間がかかるデータの書き込み及び消去の処理を行わなくてよいので、第1の実施の形態の記憶制御システムよりも、さらに高速にフラッシュメモリ1をフォーマットすることができる。

【0160】〔第5の実施の形態〕上記の第1～第4の実施の形態では、FATとディレクトリとをデータ領域内の空きクラスタに適宜書き込んだが、FAT及びディレクトリを特定のブロックのみに書き込んでもよい。以下、このような構成の第5の実施の形態を説明する。

【0161】この実施の形態において、記憶制御システムの構成及びフラッシュメモリ1のフォーマット構成は、第1の実施の形態の場合と同じである。但し、FAT及びディレクトリのデータが書き込まれるクラスタの番号は特定されておらず、代わりに、後述する特定のクラスタグループに属するクラスタに特定の番号が割り当てられている。そして、CPU31は、後述する識別フラグによってFAT及びディレクトリのデータが書き込まれているクラスタを判断する。

【0162】図16は、この実施の形態におけるFAT及びディレクトリのデータを記憶するための特定のクラスタグループを示す図である。図示するように、特定のクラスタグループは、クラスタグループ1及びクラスタグループ2の2つあり、そのいずれかにFAT及びディレクトリが書き込まれる。

【0163】ディレクトリ及びFATの構成については、上記の第1、第2の実施の形態の場合とほぼ同様であるが、FAT及びディレクトリが書き込まれている方のクラスタグループの先頭には、図17に示すように、通常のデータが取り得ない値である「FFh」を値とする識別フラグが書き込まれている。一方、FAT及びディレクトリが書き込まれていない方のクラスタグループを構成するブロックは、空きブロックとなっている。また、FAT領域及びディレクトリ領域の先頭には、それぞれ識別コード（図示せず）が付されている。

【0164】以下、この実施の形態において制御回路21が行うフラッシュメモリ1のフォーマットの処理について、図18のフローチャートを参照して説明する。このフローチャートの処理は、ユーザがコンピュータ3に接続されたキーボードなどの入力装置（図示せず）を操作することによって、CPU31からシステムバス34、I/O33及び入出力バス4を介して所定のコマンドが入出力コントロール回路22に投入されることによってスタートする。

【0165】処理がスタートすると、制御回路21は、まず、図5のステップS401～S403と同様の処理を行う（ステップS801）。次に、CPU31は、初

10

20

30

40

50

期設定されるFAT及びディレクトリを記憶するためのクラスタグループ1の先頭のページに、ステップS201～S212の処理に従ってFFhのデータを書き込み、このフローチャートの処理を終了する(ステップS802)。これにより、フラッシュメモリ1がフォーマットされる。

【0166】以下、この実施の形態において制御回路21が行うフラッシュメモリ1に書き込まれたファイルを削除する処理について、図19のフローチャートを参照して説明する。このフローチャートの処理も、ユーザがコンピュータ3に接続されたキーボードなどの入力装置(図示せず)を操作することによって、CPU31からシステムバス34、I/Oバス33及び入出力バス4を介して所定のコマンドが入出力コントロール回路22に投入されることによってスタートする。

【0167】処理がスタートすると、制御回路21は、まず、図6のステップS501～S506の処理を行う(ステップS901)。次に、CPU31は、識別フラグがFFhとなっていないクラスタグループの先頭ページ以降の各ページに、ステップS201～S212の動作に従い、更新後のFAT及びディレクトリの内容を1ページずつ順次書き込む(ステップS902)。

【0168】次に、CPU31は、ステップS301～S306の処理に従って、更新前のディレクトリ及びFATが記憶されていたクラスタグループの記憶内容を消去する(ステップS903)。そして、このフローチャートの処理を終了する。

【0169】以下、この実施の形態において制御回路21が行うフラッシュメモリ1にファイルを書き込む処理について、図20のフローチャートを参照して説明する。このフローチャートの処理も、ユーザがコンピュータ3に接続されたキーボードなどの入力装置(図示せず)を操作することによって、CPU31からシステムバス34、I/Oバス33及び入出力バス4を介して所定のコマンドが入出力コントロール回路22に投入されることによってスタートする。

【0170】処理がスタートすると、制御回路21は、まず、図11のステップS601～S607の処理(ただし、ステップS604の処理において空きクラスタの数が十分でないと判断されたときは、更にS610の処理)を行う(ステップS1001)。次に、CPU31は、図19のステップS902～S903の処理を行う(ステップS1002)。ただし、更新後のFAT及びディレクトリは、消去対象のファイルを示す情報が削除されたものである代わりに、新たに書き込まれたファイルの情報が追加されたものとなる。以上で、このフローチャートの処理は終了する。

【0171】以上説明したように、この実施の形態の記憶制御システムでは、FAT及びディレクトリのデータの記憶位置をファイルの消去及び書換の度に書き換えな

くても、FAT及びディレクトリのデータを読み出すことができる。なお、この実施の形態の記憶制御システムで、クラスタグループを構成するクラスタの数は、2つに限るものではなく、1つ以上の任意個の個数のクラスタでクラスタグループを構成することができる。

【0172】また、この実施の形態の記憶制御システムで、FAT及びディレクトリのデータを記憶するための特定の2つのクラスタグループは、必ずしもフラッシュメモリ1内の最初の領域に設ける必要はなく、任意の位置に設けることができる。

【0173】CPU31等が実行するフラッシュメモリ1のフォーマットの処理等を行うためのプログラム(フォーマット用のドライバ)は、フロッピーディスクやCD-ROMなどの記憶媒体によって提供してもよい。

【0174】

【発明の効果】以上説明したように、この実施の形態のブロック消去型記憶媒体によれば、データの消去及び書き込みを高速に行うことができる。

【0175】また、この実施の形態のプログラム記録媒体に記憶されたプログラムを実行することによって、データの消去及び書き込みを高速に行うことができるようにブロック消去型記憶媒体をフォーマットすることができる。また、この実施の形態のプログラム記録媒体に記憶されたプログラムを実行することによって、データの消去及び書き込みを高速に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のフラッシュメモリの記憶制御システムの構成を示すブロック図である。

【図2】フラッシュメモリの構成を模式的に示す図である。

【図3】メモリセルアレイの構成を示す図である。

【図4】本発明の第1の実施の形態のフラッシュメモリのフォーマットにおけるブロックとクラスタとの関係を示す図である。

【図5】本発明の第1の実施の形態におけるディレクトリ、ファイルアロケーションテーブル及びクラスタの対応付けを示す図である。

【図6】アドレス変換テーブルの構成の一例を示す図である。

【図7】本発明の第1の実施の形態におけるデータ読み出しの動作を示すフローチャートである。

【図8】本発明の第1の実施の形態におけるデータ書き込みの動作を示すフローチャートである。

【図9】本発明の第1の実施の形態におけるデータ消去の動作を示すフローチャートである。

【図10】本発明の第1の実施の形態におけるフラッシュメモリをフォーマットする処理を示すフローチャートである。

【図11】本発明の第1の実施の形態におけるフラッシュメモリ内のファイルを削除する処理を示すフローチャートである。

10

20

30

40

50

ートである。

【図12】本発明の第1の実施の形態におけるフラッシュメモリへファイルを書き込む処理を示すフローチャートである。

【図13】本発明の第2の実施の形態の記憶装置の構成を示すブロック図である。

【図14】本発明の第3の実施の形態におけるフラッシュメモリのフォーマット図である。

【図15】本発明の第4の実施の形態におけるフラッシュメモリをフォーマットする処理を示すフローチャートである。

【図16】本発明の第5の実施の形態におけるファイルアロケーションテーブル及びディレクトリのデータを記憶するための特定のクラスタグループを示す図である。

【図17】本発明の第5の実施の形態における特定の2つのクラスタグループを図である。

【図18】本発明の第5の実施の形態におけるフラッシュメモリをフォーマットする処理を示すフローチャートである。

【図19】本発明の第5の実施の形態におけるフラッシュメモリ内のファイルを削除する処理を示すフローチャートである。

【図20】本発明の第5の実施の形態におけるフラッシュメモリへファイルを書き込む処理を示すフローチャートである。

\*

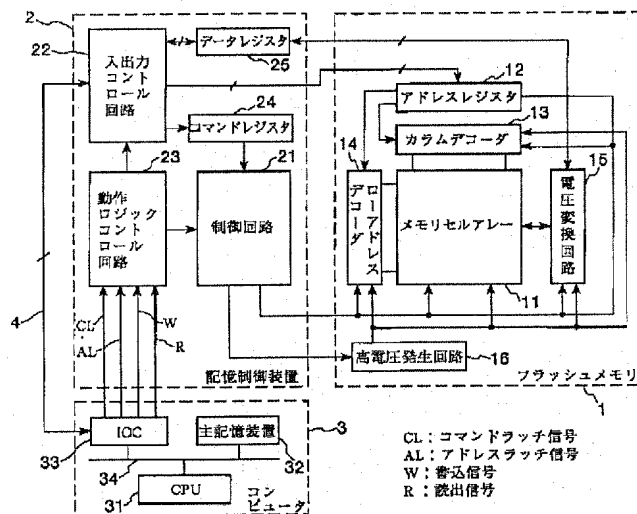
\* 【図21】従来のフラッシュメモリのブロックとクラスタとの関係を示す図である。

【図22】従来のフラッシュメモリのフォーマットの手順を示すフローチャートである。

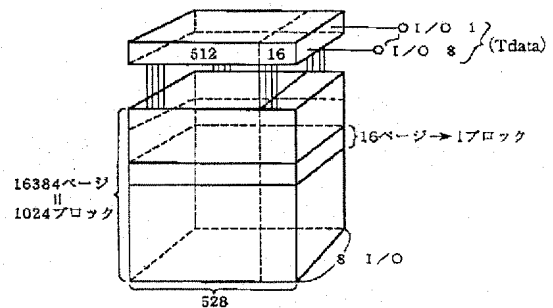
【符号の説明】

- |    |                 |
|----|-----------------|
| 1  | フラッシュメモリ        |
| 11 | メモリセルアレー        |
| 12 | アドレスレジスタ        |
| 13 | カラムデコーダ         |
| 14 | ローアドレスデコーダ      |
| 15 | 電圧変換回路          |
| 16 | 高電圧発生回路         |
| 2  | 記憶制御装置          |
| 21 | 制御回路            |
| 22 | 入出力コントロール回路     |
| 23 | 動作ロジックコントロール回路  |
| 24 | コマンドレジスタ        |
| 25 | データレジスタ         |
| 3  | コンピュータ          |
| 31 | CPU (中央処理装置)    |
| 32 | 主記憶装置           |
| 33 | I/O C (入出力制御装置) |
| 34 | システムバス          |
| 4  | 入出力バス           |

【図1】

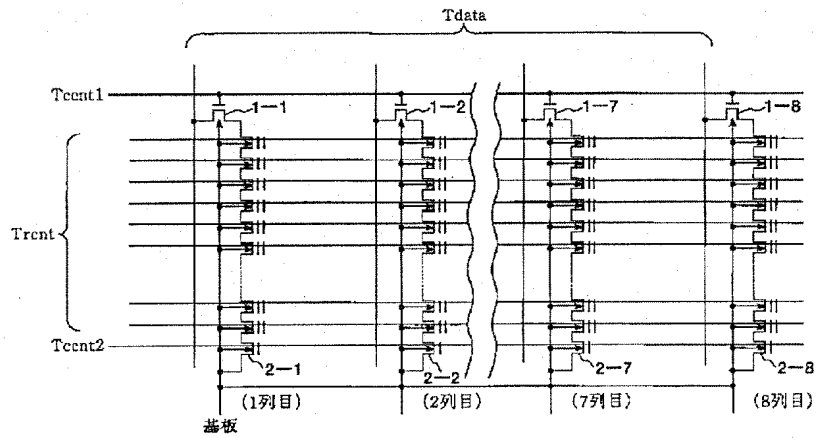


【図2】

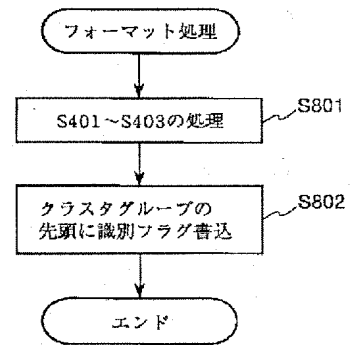


1ページ=528バイト  
 1ブロック=528×16バイト=(8K+256)バイト  
 デバイス全容量=528バイト×1024ブロック×16ページ  
 =68Mbit (8.65Mバイト)

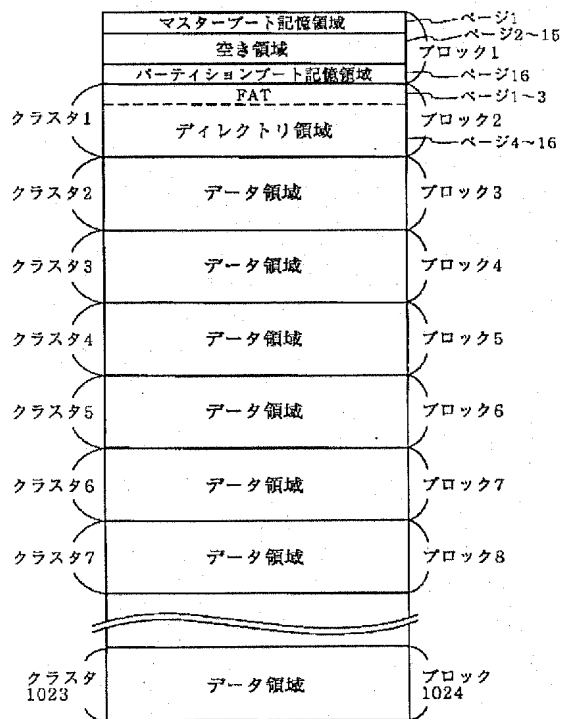
【図3】



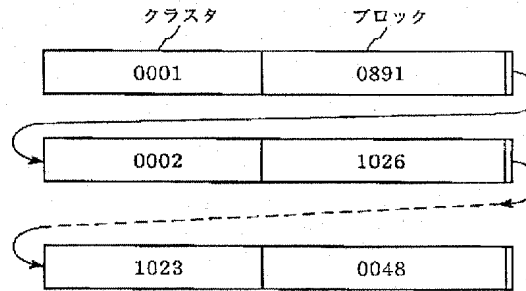
【図18】



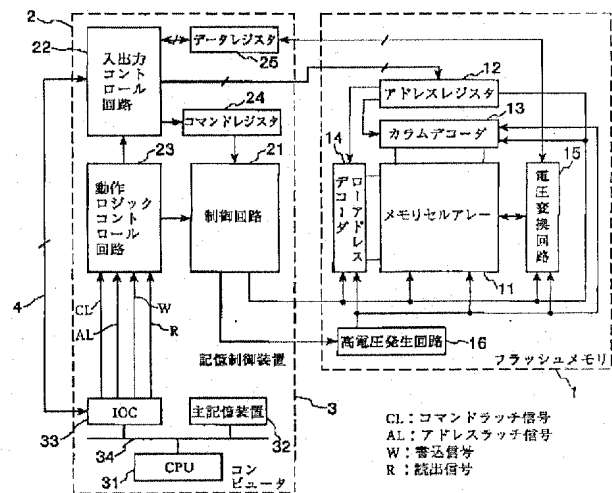
【図4】



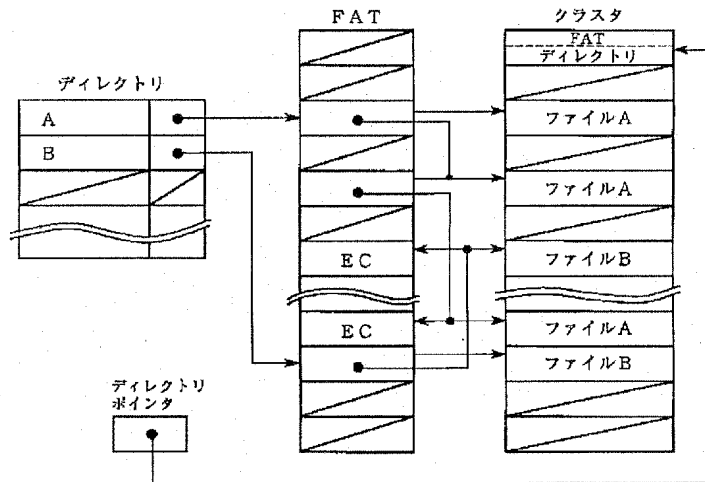
【図6】



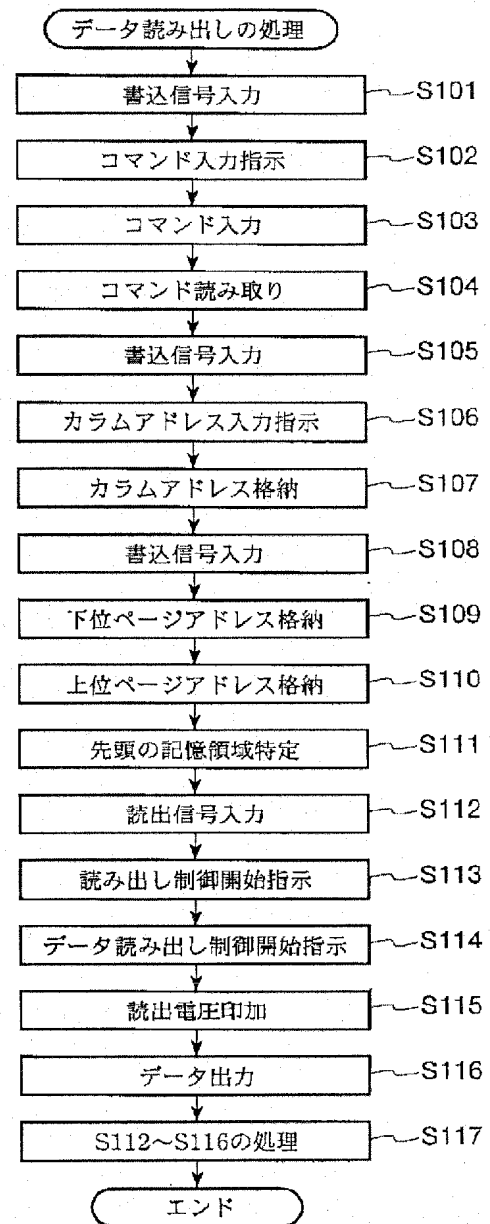
【図13】



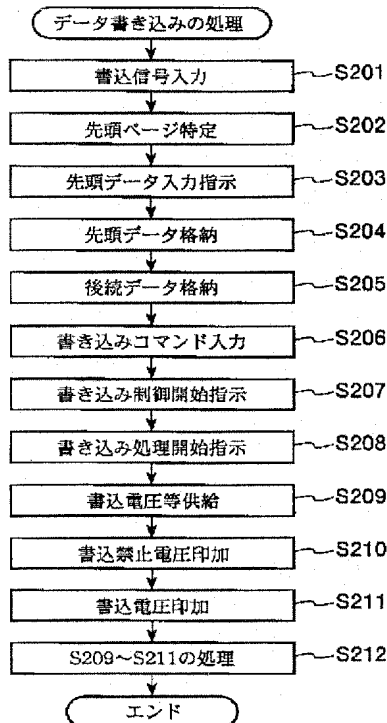
【図5】



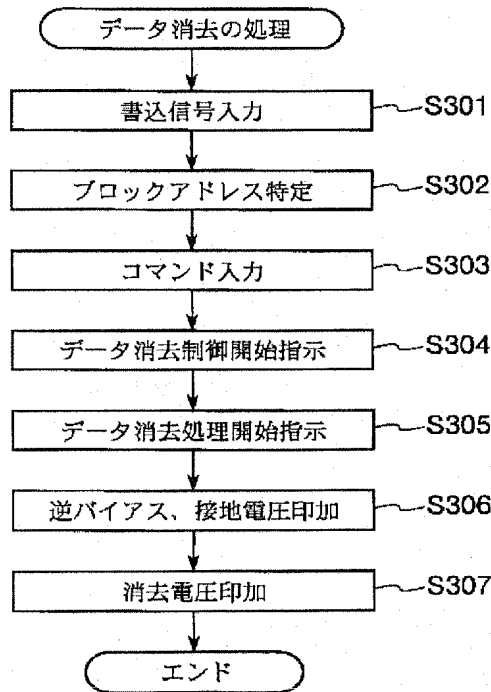
【図7】



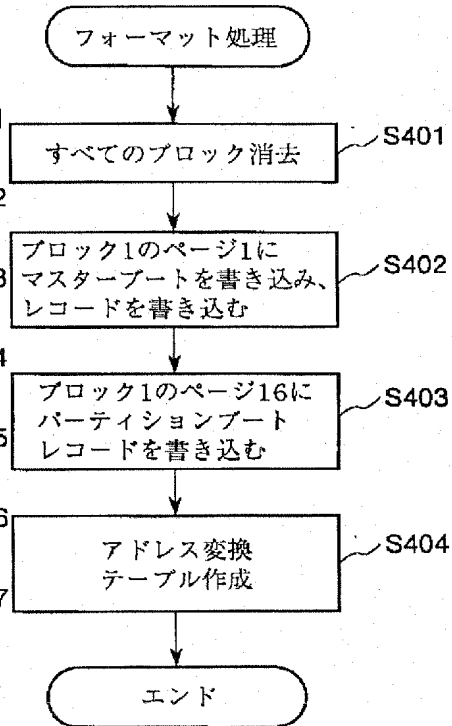
【図8】



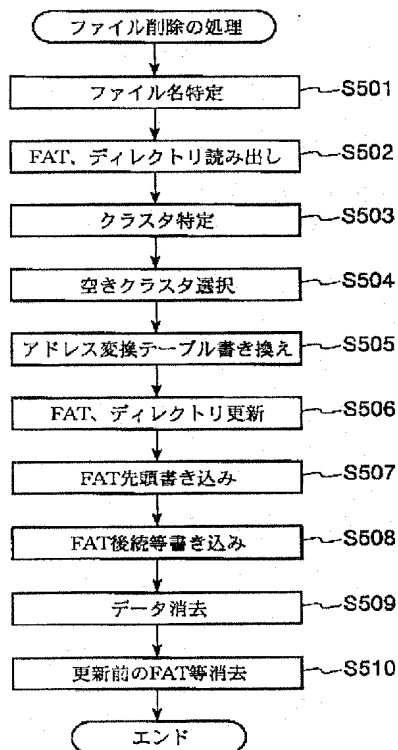
【図9】



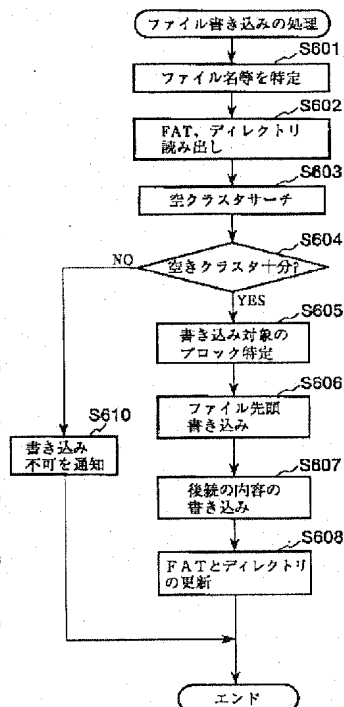
【図10】



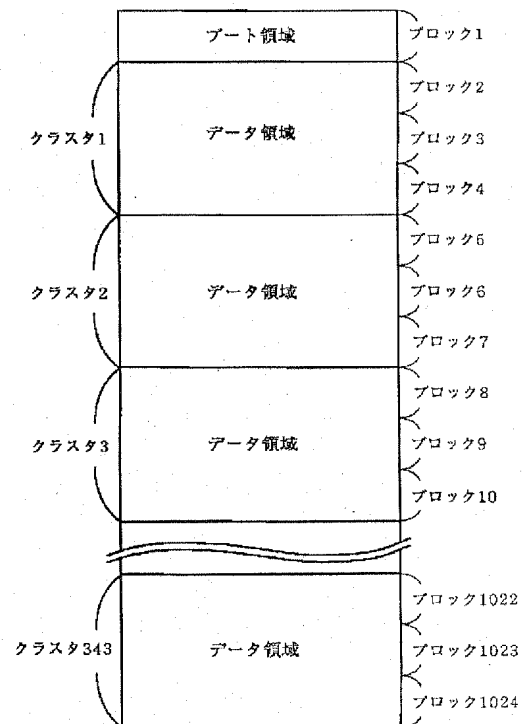
【図11】



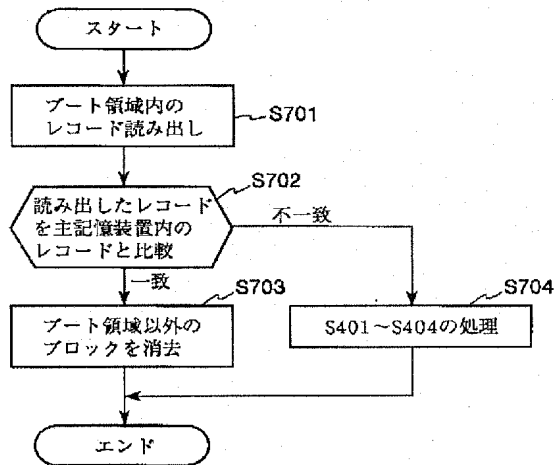
【図12】



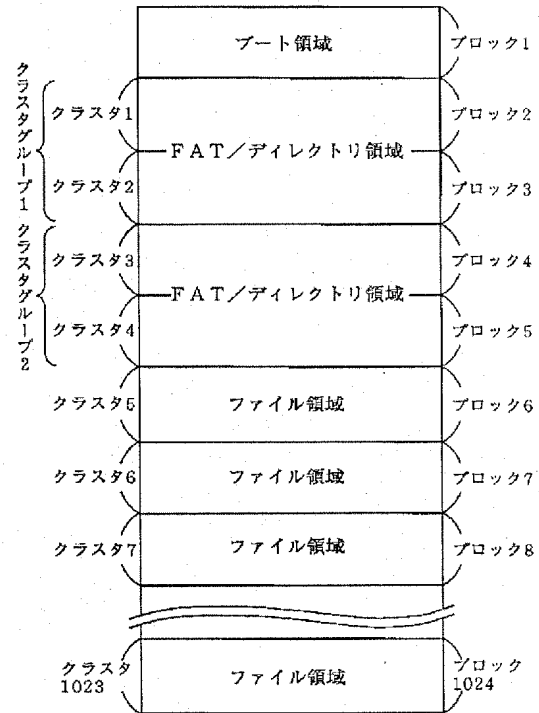
【図14】



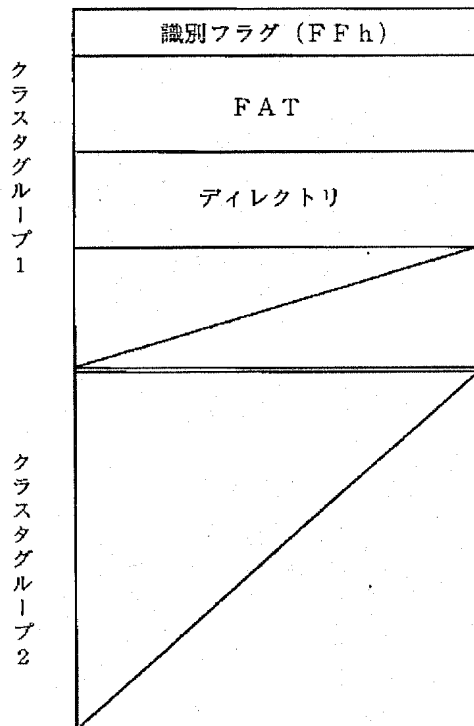
【図15】



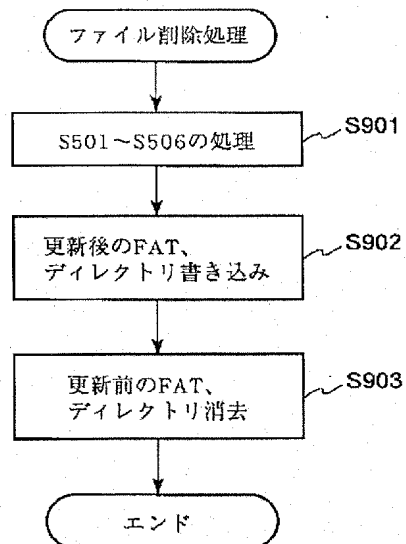
【図16】



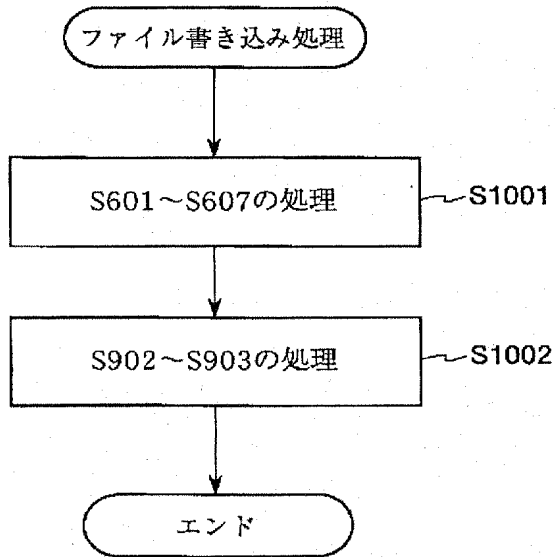
【図17】



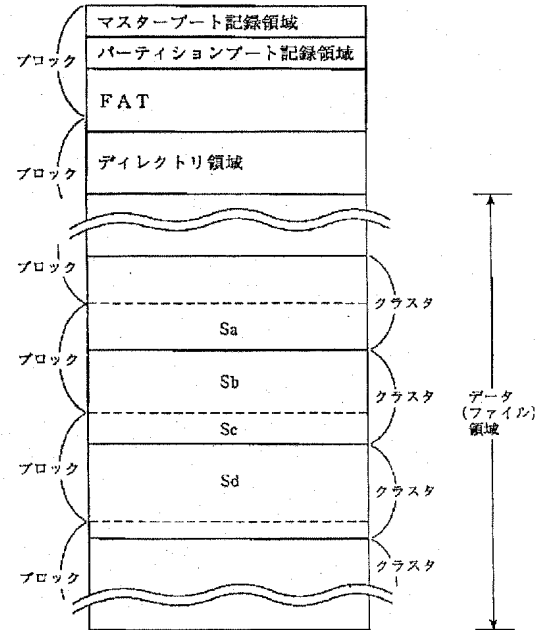
【図19】



【図20】



【図21】



【図22】

